

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

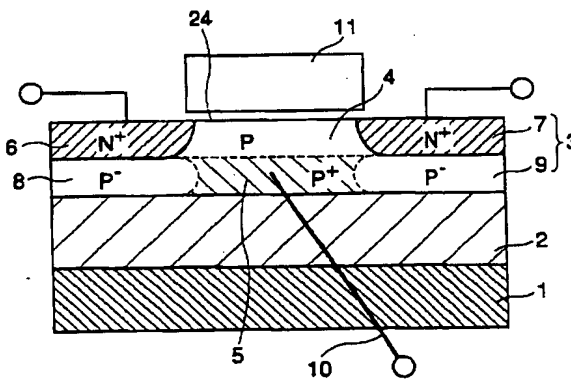
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(1) Japanese Patent Application Laid-Open No. 2000-174283

**“SEMICONDUCTOR DEVICE HAVING SOI STRUCTURE”**

The following is an English translation of an extract of the above application.

- 5           A semiconductor device having SOI structure according to the present invention comprises a SOI substrate in which a buried insulating film 2 and a surface semiconductor layer 3 of a first conductivity type are laminated, source/drain regions 6 and 7 formed in the surface semiconductor layer 3, and a gate insulating film 24 and a gate electrode 11 which are on a channel region of a first conductivity type between the source/drain regions 6 and 7.
- 10   In the semiconductor device disclosed here, the thickness of the source/drain regions 6 and 7 is smaller than that of the surface semiconductor layer 3, and the channel region has a high- concentration impurity diffusion layer 5 of a first conductivity type having a higher impurity concentration in the vicinity of the buried insulating film 2 than in the surface region.



## 【特許請求の範囲】

【請求項1】 埋め込み絶縁膜及び第1導電型の表面半導体層が積層されてなるSOI基板と、前記表面半導体層に形成された第2導電型ソース/ドレイン領域と、該ソース/ドレイン領域間の第1導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とからなり、

前記ソース/ドレイン領域が、前記表面半導体層の厚さよりも薄く形成されており、

前記チャネル領域が、前記埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高く設定された第1導電型高濃度不純物拡散層を有していることを特徴とするSOI構造の半導体装置。

【請求項2】 第1導電型高濃度不純物拡散層が、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 、チャネル領域の表面領域が $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の不純物濃度である請求項1に記載の半導体装置。

【請求項3】 チャネル領域が、トランジスタの電気的特性を調整又は変化させることができるように電源に接続されてなる請求項1又は2に記載の半導体装置。

【請求項4】 オン状態においては閾値電圧の絶対値を減少させるためにチャネル領域にバイアスが印加され、オフ状態においてはリーク電流減少のためにチャネル領域がフローティング状態に設定される請求項1～3のいずれか1つに記載の半導体装置。

【請求項5】 オフ状態においては閾値電圧の絶対値を減少させるためにチャネル領域にバイアスが印加され、オン状態においてはリーク電流減少のためにチャネル領域がフローティング状態に設定される請求項1～3のいずれか1つに記載の半導体装置。

【請求項6】 ソース/ドレイン領域と埋め込み絶縁膜との間の表面半導体層が完全に空乏化してなる請求項1～5のいずれか1つに記載の半導体装置。

【請求項7】 請求項3に記載の半導体装置のチャネル領域が、素子分離領域直下に形成された高濃度不純物拡散層を介して互いに隣接するチャネル領域と接続され、かつ1ヶ所電源に接続されてなる半導体装置。

【請求項8】 (i) 基板上に、埋め込み絶縁膜及び第1導電型の表面半導体層を形成し、さらに、該表面半導体層上にゲート絶縁膜及びゲート電極を形成し、(ii) 該ゲート電極をマスクとして用いて第2導電型不純物イオン

$$I_{\text{doff}} = I_0 \times 10^{-nV_{\text{th}}/S}$$

$$I_0 \approx 2 \times 10^{-7} \text{ Amp}/\mu\text{m}$$

$$S = \ln 10 \cdot \frac{dV_{\text{gs}}}{d(\ln I_{\text{ds}})} = (\ln 10) \cdot \frac{kT}{q} \left( 1 + \frac{C_d}{C_{\text{ox}}} \right) \approx 90 \text{ mV/dec}$$

【0004】 (ここで、 $I_{\text{doff}}$ はオフ時( $V_g=0$ )のドレイン電流、 $I_0$ は $V_g=V_{\text{th}}$ のときのドレイン電流、 $S$ はサブスレッショルドの傾き( $S$ ファクタ)、 $C_d$ は

を注入することにより第2導電型ソース/ドレイン領域を形成し、(iii) 続いて該ゲート電極をマスクとして用いて第2導電型不純物イオンをより深く注入することにより、第2導電型ソース/ドレイン領域下の第1導電型の表面半導体層の第1導電型不純物濃度を低減させて、第2導電型ソース/ドレイン領域間の第1導電型チャネル領域であって、埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高い第1導電型高濃度不純物拡散層を形成することを特徴とする請求項1記載のSOI構造の半導体装置の製造方法。

【請求項9】 工程(i)において、ゲート絶縁膜及びゲート電極を形成する前に、第1導電型の表面半導体層の表面にのみ第2導電型不純物を注入して、該表面の第1導電型不純物濃度を低減させる請求項8記載のSOI構造の半導体装置の製造方法。

【請求項10】 工程(iii)において、第2導電型不純物イオンを、ゲート絶縁膜及びゲート電極を貫通して表面半導体層の表面に到達する加速エネルギーで注入する請求項8記載のSOI構造の半導体装置の製造方法。

【請求項11】 工程(i)における第1導電型の表面半導体層を低拡散不純物を含有させることにより形成する請求項8記載のSOI構造の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はSOI構造を有する半導体装置に関し、より詳細には、高濃度不純物拡散層を有するSOI基板に形成され、特に低電圧動作集積回路に適用可能な半導体装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】最近のCMOS回路は低電圧動作が実現されているが、このような低電圧動作( $V_{\text{dd}} < 1.5 \text{ V}$ )の実現に対して、CMOS回路を構成するMOSFETは、十分な動作マージンを持たせるために、その閾値電圧( $V_{\text{th}}$ )を電源電圧( $V_{\text{dd}}$ )の $1/4$ 以下程度に減少させる必要がある。しかし、閾値電圧が低下すると、MOSFETのOFFリーク電流が次式的関係に従って指数関数的に増加する。

【0003】

【数1】

空乏層容量、 $C_{\text{ox}}$ はゲート容量である)

この関係によれば、トランジスタの動作電圧とLSIのスタンバイ電流とはトレードオフの関係にあることがわ

かる。よって、閾値電圧の低いMOSFETでは大きいスタンバイ電流を生じるため、低電圧、低消費電力及びバッテリー動作LSI等に対しては実用的でない。

【0005】このような低閾値電圧とOFFリーク電流とのトレードオフの問題を解決する方法として、動作状態とスタンバイ状態におけるMOSFETの閾値電圧をコントロールする、すなわち、トランジスタの動作状態ではMOSFETの低電圧動作を実現するために閾値電圧を低く設定し、OFF状態ではOFFリーク電流を低減するために閾値電圧を高く設定する方法が考えられる。

【0006】ところで、MOSFETがSOI基板に形成された場合には、完全な誘電体分離、ラッチアップフリー等いくつかの利点があるとともに、特に、完全空乏化されたSOI構造のMOSFETについては、表面半導体層のチャネル領域の全部が空乏化するに十分薄いため、 $C_d=0$ となり、Sファクタを室温では60mV/decまで減少することができる。これにより、OFF電流を低減することができる。しかし、低閾値電圧のトレードオフは、より低い電圧にシフトされるだけである。

【0007】また、閾値電圧をコントロールする方法の一つとして、例えば、SOI構造の基板に形成されたDTMOS（ダイナミック・スレッショルドMOS）がIEEEに提案されている。このDTMOSは、図10に示したように、シリコン基板30上に埋め込み絶縁膜31及び表面半導体層32が形成され、表面半導体層32上にゲート電極33が形成されるとともに、表面半導体層32にソース/ドレイン領域32a及びチャネル領域32bが形成された構造を有している。また、ゲート電極33は、チャネル領域32bと電気的に接続されている。このような構造により、チャネル領域32bに電圧が直接印加され、よって、チャネルの閾値電圧をコントロールすることができる。

【0008】しかし、このDTMOSでは、トランジスタごとに、チャネル領域32bがゲート電極33と直接接続されるために、チャネル領域32bとゲート電極33とのコンタクトを別途設けなくてはならず、レイアウト面積の増大を招くとともに、製造工程を複雑化するという問題がある。さらに、動作電圧V<sub>dd</sub>は、リーク電流を避けるために、ソース/基板間のダイオードのターンオフ電圧（0.6V）より十分低くしなければならず、応用面が制限されるという課題もある。

【0009】さらに、別の例として、図11に示すようなSOI構造のMOS型半導体装置が、特開平9-246562号公報に提案されている。この半導体装置は、表面半導体層上にゲート電極43が形成されるとともに、表面半導体層にソース/ドレイン領域41、42及びチャネル領域40が形成され、ソース領域41に素子分離膜45を介して隣接してボディコンタクト領域9

と、チャネル領域40とボディコンタクト領域44とを電気的に接続する経路46を備えた構造である。このような構造により、チャネル領域40に電圧が直接印加され、よって、チャネルの閾値電圧をコントロールすることができる。

【0010】しかし、このような構造では、トランジスタを囲む領域にチャネル領域40とボディコンタクト領域44とを接続する経路46が形成されているので、より大きな半導体装置の設計面積が必要となるという問題がある。

【0011】また、さらに別の例として、図12に示すような半導体装置が、特開平9-36246号公報に提案されている。この半導体装置は、シリコン基板50上に埋め込み絶縁膜51及び表面半導体層52が形成され、表面半導体層52上にMOSTランジスタが形成されており、このMOSTランジスタのチャネル領域53が、それぞれバイアス回路54に接続されることにより、チャネル領域53に電圧が直接印加され、よって、チャネルの閾値電圧をコントロールすることができる。しかし、この半導体装置においては、上記と同様に、トランジスタごとにバイアス回路に接続されるため、より大きな面積を要するという問題がある。

【0012】

【課題を解決するための手段】本発明によれば、埋め込み絶縁膜及び第1導電型の表面半導体層が積層されてなるSOI基板と、前記表面半導体層に形成された第2導電型ソース/ドレイン領域と、該ソース/ドレイン領域間の第1導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とからなり、前記ソース/ドレイン領域が、前記表面半導体層の厚さよりも薄く形成されており、前記チャネル領域が、前記埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高く設定された第1導電型高濃度不純物拡散層を有しているSOI構造の半導体装置が提供される。

【0013】また、本発明によれば、(i)基板上に、埋め込み絶縁膜及び第1導電型の表面半導体層を形成し、さらに、該表面半導体層上にゲート絶縁膜及びゲート電極を形成し、(ii)該ゲート電極をマスクとして用いて第2導電型不純物イオンを注入することにより第2導電型ソース/ドレイン領域を形成し、(iii)続いて該ゲート電極をマスクとして用いて第2導電型不純物イオンをより深く注入することにより、第2導電型ソース/ドレイン領域下の第1導電型の表面半導体層の第1導電型不純物濃度を低減させて、第2導電型ソース/ドレイン領域間の第1導電型チャネル領域であって、埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高い第1導電型高濃度不純物拡散層を形成することを特徴とする上記SOI構造の半導体装置の製造方法が提供される。

【0014】

【発明の実施の形態】本発明のSOI構造の半導体装置は、主として、埋め込み絶縁膜及び第1導電型の表面半導体層が積層されてなるSOI基板と、表面半導体層の厚さよりも薄く形成された第2導電型ソース/ドレイン領域と、これらソース/ドレイン領域間に配置され、埋め込み絶縁膜近傍においてその表面領域よりも不純物濃度が高く設定された第1導電型高濃度不純物拡散層を有する第1導電型チャネル領域と、この第1導電型チャネル領域上に形成されたゲート電極とからなる。

【0015】本発明におけるSOI基板は、通常支持基板上に、埋め込み絶縁膜、さらにその上に表面半導体層が形成されてなることで、低消費電力、高速動作の実現に有効な基板で、貼り合わせSOI (BESOI)、SIMOX (Separation by Implantation of Oxygen) 型基板等として用いられるものが挙げられる。支持基板としては、例えば、シリコン、ゲルマニウム等の半導体基板、GaAs、InGaAs等の化合物半導体、サファイア、石英、ガラス、プラスチック等の絶縁性基板等、種々の基板を使用することができる。なお、この支持基板として、上記支持基板上にトランジスタやキャパシタ等の素子又は回路等が形成された基板を使用してもよい。

【0016】埋め込み絶縁膜としては、例えばSiO<sub>2</sub>膜、SiN膜等が挙げられる。この際の膜厚は、得ようとする半導体装置の特性、得られた半導体装置を使用する際の印加電圧の高さ等を考慮して適宜調整することができるが、例えば、50nm～500nm程度が挙げられる。

【0017】表面半導体層は、トランジスタを形成するための活性層として機能する半導体薄膜であり、シリコン、ゲルマニウム等の半導体、GaAs、InGaAs等の化合物半導体等による薄膜で形成することができる。なかでもシリコン薄膜が好ましい。表面半導体層の膜厚は、得られる半導体装置の特性等を考慮して、例えば、後述するトランジスタのソース/ドレイン領域の接合深さ、表面半導体層表面のチャネル領域の深さ、不純物濃度、埋め込み絶縁膜の近傍に配置する高濃度不純物拡散層の深さ、不純物濃度等の種々のパラメータによって、適宜調整することができ、例えば、150nm～200nm程度が挙げられる。

【0018】表面半導体層は、上記したように、主として①表面半導体層の厚さよりも薄く形成された第2導電型ソース/ドレイン領域と、②これらソース/ドレイン領域間に配置する表面チャネルと、この表面チャネル直下であって、埋め込み絶縁膜近傍において表面チャネルよりも不純物濃度が高く設定された第1導電型の高濃度不純物拡散層とからなるチャネル領域と、③第1導電型高濃度不純物拡散層に隣接するとともに第2導電型ソース/ドレイン領域直下に配置し、表面チャネルと同程度かそれよりも低い第1導電型不純物濃度を有する低濃度

不純物拡散層とからなる。

【0019】①第2導電型ソース/ドレイン領域は、表面半導体層の導電型と逆導電型の不純物を、例えば $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ 程度の濃度で含有して形成することができる。なお、このソース/ドレイン領域は、チャネル側のソース/ドレイン領域端にLDD構造のような低濃度の領域、あるいは同じ濃度の領域や高濃度の領域で、ソース/ドレイン領域の接合深さよりやや浅い領域を有していてもよい。また、ソース/ドレイン領域の深さは、得られる半導体装置の特性等により適宜調整することができるが、表面半導体層の膜厚（例えば、200nm）の50%前後、具体的には80nm～150nm、特に100nm～150nm程度とすることができる。

【0020】②チャネル領域は、深さ方向に図2に示すように、表面チャネルと高濃度不純物拡散層とが急峻に変化するドーピングプロファイルを有する。つまり、表面チャネルの第1導電型不純物濃度をNa、埋め込み絶縁膜付近の高濃度不純物拡散層の第1導電型不純物濃度をNbとすると、 $Nb \gg Na$ となるように不純物濃度が設定される。これらの不純物濃度は、表面半導体層の膜厚、表面チャネルの厚み、高濃度不純物拡散層の厚み等により適宜調整することができるが、例えば、表面チャネルの第2導電型不純物濃度Naは $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度、埋め込み絶縁膜付近の高濃度不純物拡散層の第1導電型不純物濃度Nbは $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 程度が挙げられる。また、表面チャネルの厚み、高濃度不純物拡散層の厚みは、表面半導体層の膜厚等により適宜調整することができるが、例えば、それぞれ30nm～150nm程度、50nm～150nm程度が挙げられる。なお、表面チャネルは、

【0021】

【数2】

$$Tb < \sqrt{\frac{4 \cdot \epsilon \cdot \phi_F}{q \cdot Na}}$$

【0022】（式中、Tbは表面チャネルの厚み、 $\epsilon$ は表面半導体を構成する半導体の誘電率、 $\phi_F$ はフェルミポテンシャル、qは素電荷量である）の条件を満たす膜厚、不純物濃度に設定することにより、本発明の半導体装置における表面チャネル層4を完全空乏化するように動作させることができるため好ましい。

【0023】また、高濃度不純物拡散層は、

【0024】

【数3】

$$Xd < \sqrt{\frac{4 \cdot \epsilon \cdot V_{bi}}{q \cdot Nb}}$$

【0025】（式中、Xdは高濃度不純物拡散層の厚

み、 $V_{bi}$ はビルトイン電圧である)の条件を満たす膜厚、不純物濃度に設定することが好ましい。なお、高濃度不純物拡散層は、表面半導体層に形成されるウェルとして形成されてもよい。

$$V_{th} = V_{fb} + 2 \cdot \phi_f \cdot \left(1 + \frac{C_b}{C_{ox}}\right) + \frac{q \cdot N_a \cdot T_b}{2 \cdot C_{ox}} - \left(\frac{C_b}{C_{ox}}\right) \cdot V_b$$

【0028】(式中、 $V_{fb}$ はフラットバンド電圧、 $C_b$ は $e/T_b$ で表され、 $C_{ox}$ はゲート絶縁膜の容量、 $V_b$ は基板への印加電圧である)で表される。この式によれば、閾値電圧 $V_{th}$ と基板への印加電圧 $V_b$ とは直線的な関係を示すことから、基板への印加電圧 $V_b$ によって閾値電圧 $V_{th}$ を制御することが容易であることがわかる。

【0029】③ソース/ドレイン領域直下に配置する第1導電型低濃度不純物拡散層は、ソース/ドレイン領域の接合容量を低減することができるように設定されることが好ましく、例えば、表面チャネルと同程度か、好ましくはそれよりも低い第1導電型不純物濃度、具体的には、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ 程度、埋め込み絶縁膜付近の高濃度不純物拡散層の第1導電型不純物濃度で、 $50 \text{ nm} \sim 150 \text{ nm}$ 程度の厚みで形成することができる。また、低濃度不純物拡散層は、完全空乏化、つまり、ソース/ドレイン領域の下、すなわちソース/ドレイン領域の接合面から表面半導体層と埋め込み絶縁膜との界面まで、全て空乏化されている状態を意味する。

【0030】このように低濃度不純物拡散層を完全空乏化の状態に制御することにより、ソース/ドレイン領域下に広がる空乏層による容量が埋め込み絶縁膜の容量と直列接続するので、ソース/ドレイン接合容量、つまりトランジスタの負荷容量を低減することができ、ひいては装置自体の低消費電力化・高速化を実現できる。

【0031】また、本発明のSOI構造の半導体装置は、表面半導体層に形成されたソース/ドレイン領域と、チャネル領域上に形成されたゲート絶縁膜及びゲート電極とからなるトランジスタを有する。ゲート絶縁膜は、通常ゲート絶縁膜として機能する材料及び膜厚で形成することができる。ゲート電極は、ポリシリコン； $W$ 、 $Ta$ 、 $Ti$ 、 $Mo$ 等の高融点金属のシリサイド；これらシリサイド(例えば $MoSi_2$ 、 $WSi_2$ )とポリシリコンとからなるポリサイド；その他の金属等により、膜厚 $150 \text{ nm} \sim 300 \text{ nm}$ 程度で形成することができる。なお、ゲート電極は、後述するソース/ドレイン領域形成のための不純物の横方向への拡散等を考慮して、絶縁膜によるサイドウォールスペーサを有していてもよい。

【0032】なお、上記の高濃度不純物拡散層がウェルとして形成される場合には、このウェル内にトランジスタが複数個形成され、各トランジスタがロコス酸化膜やトレンチ素子分離膜により分離されていることが好まし

【0026】さらに、この場合の本発明のSOI構造の半導体装置における閾値電圧 $V_{th}$ は

【0027】

【数4】

い。これらロコス酸化膜やトレンチ素子分離膜の膜厚は、表面半導体層の膜厚よりも薄く形成されていることが好ましい。これにより、ロコス酸化膜やトレンチ素子分離膜の直下に高濃度不純物拡散層が広がることとなり、この高濃度不純物拡散層により、隣接する半導体装置のチャネル領域同士を電気的に接続することができる。なお、この場合のロコス酸化膜やトレンチ素子分離膜の直下に広がる高濃度不純物拡散層は、半導体装置のサイズ、動作電圧等により適宜調整することができるが、その膜厚と不純物濃度は、表面チャネル下の高濃度不純物拡散層への印可電圧、半導体装置、すなわちMOSFETの閾値電圧を制御するために重要である。例えば、表面半導体層の膜厚が $150 \text{ nm} \sim 200 \text{ nm}$ 程度の場合、素子分離膜厚は $50 \text{ nm} \sim 150 \text{ nm}$ 程度の膜厚とすることができ、高濃度不純物拡散層の不純物濃度は、表面チャネル下の高濃度不純物拡散層と同程度の不純物濃度とすることができる。また、互いに接続された複数のチャネル領域を1か所で電源に接続させることができ、これにより、チャネル領域の閾値電圧を制御することができ、電気的特性を調整または変化させることができる。なお、チャネル領域の閾値電圧を制御する方法としては、例えば、トランジスタのアクティブ時(オン時)にはバイアス電圧を印可し、スタンバイ時(オフ時)にはフローティング状態とするか、オン時にはフローティング状態にし、オフ時にはバイアス電圧を印可する方法が挙げられる。これにより、オン時には閾値電圧の絶対値を減少させて駆動能力を向上させることができ、一方オフ時においてはリーク電流又は消費電流を減少させることができる。

【0033】本発明のSOI構造の半導体装置は、工程(i)において、まず基板上に、埋め込み絶縁膜及び第1導電型の表面半導体層を形成する。基板上に埋め込み絶縁膜を形成する方法は、公知の方法、例えばシランガスと酸素ガス等を使用するCVD法等により形成することができる。第1導電型の表面半導体層は、当該分野で公知の半導体層の形成方法にしたがって、所望の膜厚で形成することができる。

【0034】また、表面半導体層を第1導電型とする方法は、特に限定されるものではなく、第1導電型不純物をドーピングしながら表面半導体層を形成する方法でもよいし、表面半導体層を形成した後、第1導電型不純物を表面半導体層に注入すること等によってドーピングする方法でもよい。この際の第1導電型不純物は、P型の

場合はボロン、 $\text{BF}_2$ 、アルミニウム、ガリウム、インジウム等が挙げられるが、拡散の正確な制御を行うことができる低拡散係数を有するガリウム、インジウム等が好ましい。一方、N型の場合は、リン又は砒素等が挙げられる。なお、表面半導体層に第1導電型不純物をドーピングする場合には、表面半導体層全体にわたって均一な濃度でドーピングしてもよいし、表面半導体層の表面の不純物濃度を低めにドーピングしてもよいし、表面半導体層全体にわたって均一な濃度でドーピングした後に、第2導電型の不純物をドーピングすることにより、第1導電型の不純物濃度を低減させてもよい。この際、第1導電型の不純物濃度は、表面半導体層全体にわたって均一な濃度でドーピングする場合には、 $1 \times 10^{18} \sim 1 \times 10^{20} \text{ atoms/cm}^3$  程度が好ましい。一方、表面半導体の表面の不純物濃度を低めにドーピングする場合には、表面の不純物濃度が  $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$  程度とすることが好ましい。

【0035】次に、表面半導体層上にゲート絶縁膜及びゲート電極を形成する。ゲート絶縁膜及びゲート電極の形成は、通常のMOSTランジスタを形成する方法にしたがって形成することができる。

【0036】工程(ii)において、ゲート電極をマスクとして用いて第2導電型不純物イオンを注入することにより第2導電型ソース/ドレイン領域を形成する。この際、第2導電型不純物は、N型又はP型のいずれの導電型でもよく、上記の不純物と同様のものを用いることができる。ソース/ドレイン領域の深さは、表面半導体層の膜厚等により調整することができるが、例えば、表面半導体層が  $150 \text{ nm} \sim 200 \text{ nm}$  程度の場合には、 $100 \text{ nm} \sim 150 \text{ nm}$  程度の深さであることが好ましい。例えば、リンを用いる場合には、 $10 \sim 25 \text{ keV}$  程度の加速エネルギー、 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ atoms/cm}^2$  程度のドーズでイオン注入することにより、最終的に不純物濃度を、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  程度とする方法が挙げられる。また、砒素を用いる場合には、 $20 \sim 50 \text{ keV}$  程度の加速エネルギー、 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ atoms/cm}^2$  程度のドーズでイオン注入する方法が挙げられる。なお、ソース/ドレイン領域はLDD領域やDDD領域を有する構造で形成してもよい。

【0037】工程(iii)において、ゲート電極をマスクとして用いて第2導電型不純物イオンをより深く注入する。これにより、第2導電型ソース/ドレイン領域下の第1導電型の表面半導体層の第1導電型不純物濃度を低減させることができ、結果的に、第2導電型ソース/ドレイン領域間の第1導電型チャネル領域であって、埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高い第1導電型高濃度不純物拡散層を形成することができる。この際、第2導電型不純物のイオン注入は、例えば、表面半導体層が  $150 \text{ nm} \sim 200 \text{ nm}$

m程度、ゲート電極が  $200 \text{ nm}$  程度の膜厚のポリシリコンにより形成されている場合には、リンを用いて  $150 \sim 170 \text{ keV}$  の加速エネルギー、 $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$  程度のドーズで行うことにより、最終的に第1導電型の不純物濃度を  $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$  程度とする方法が挙げられる。また、砒素を用いる場合には、 $320 \sim 380 \text{ keV}$  の加速エネルギー、 $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$  程度のドーズでイオン注入する方法が挙げられる。

【0038】なお、工程(i)におけるゲート絶縁膜及びゲート電極の形成前に、表面半導体層の表面の第1導電型不純物濃度が、埋め込み絶縁膜近傍の第1導電型不純物濃度よりも低くされていない場合には、工程(iii)における第2導電型不純物のイオン注入は、ゲート電極が存在する領域においてはゲート電極及びゲート絶縁膜を貫通し、表面半導体層の表面にイオンが到達する加速エネルギー、イオン種を選択するとともに、ゲート電極及びゲート絶縁膜の膜厚をも調整することが好ましい。一方、ゲート電極が存在しない領域では、ソース/ドレイン領域を貫通し、ソース/ドレイン領域と埋め込み絶縁膜との間の表面半導体層にまで到達し、ソース/ドレイン領域下の表面半導体層の第1導電型不純物濃度を低減させることができる。以下に、本発明のSOI構造の半導体装置の実施の形態を、図面に基いて説明する。

#### 【0039】実施の形態1

SOI構造のNMOSFETを図1に示す。図1においては、シリコン基板1上に、埋め込み絶縁膜2及び表面シリコン層3が積層されて、SOI構造の基板が用いられている。

【0040】SOI構造の基板における表面シリコン層3の表面には、表面シリコン層3の膜厚よりも薄いN型のソース/ドレイン領域6、7が形成されている。表面シリコン層3の表面であって、ソース/ドレイン領域6、7間には、P型の表面チャネル4が配置している。また、ソース/ドレイン領域6、7直下の表面シリコン層3には、表面チャネル4よりも不純物濃度が低く設定されたP型の低濃度不純物拡散層8、9が形成されている。さらに、P型の表面チャネル4の直下であって、低濃度不純物拡散層8、9間には、図2の不純物濃度のプロファイルに示したように、表面チャネル4よりも不純物濃度が高く設定されたP型の高濃度不純物拡散層5が形成されており、この高濃度不純物拡散層5が外部電圧10に接続されている。また、表面チャネル4上には、ゲート絶縁膜24を介してゲート電極11が形成されている。

【0041】なお、上記においては、1つのNMOSFETについて説明したが、図3に示したように、CMOSFETであってもよい。図3のCMOSFETは、表面シリコン層3に、表面シリコン層3の膜厚以上の膜厚



を有し、埋め込み絶縁膜2にまで至る分離領域13が形成され、NMOS領域とPMOS領域とが分離されている。この分離領域により、NMOSとPMOSとの相互干渉（例えば、ラッチアップ等）を避けることができる。

【0042】また、これらNMOS領域とPMOS領域とに、それぞれ表面シリコン層3の膜厚より薄い膜厚の素子分離領域12が形成され、これらの素子分離領域12によって分離された複数のNMOSFET及びPMOSFETがそれぞれ形成されている。

【0043】複数のMOSFETのP型及びN型の高濃度不純物拡散層5、15は、それぞれ素子分離領域12の下に配置するP型又はN型の高濃度不純物拡散層5a、15aによって共通接続されており、それぞれ1箇所外部電圧10、20に接続されている。

【0044】PMOSFETは、上記したNMOSFETと導電型が異なる以外は実質的に同様の構成、つまり、P型のソース/ドレイン領域16、17、N型のチャネル領域14、N型の低濃度不純物拡散層18、19、N型の高濃度不純物拡散層15、ゲート絶縁膜及びゲート電極21による構成を有しており、NMOSFETと同様に、外部電圧20に接続されている。

【0045】このような構成を有するMOSFETは、以下のような利点を有する。

(a) ソース/ドレイン領域6、7、16、17の接合容量を、低濃度不純物拡散層8、9、18、19の完全空乏化により低減できる。

(b) 表面シリコン層3は、完全空乏化SOI構造の表面シリコン層よりも膜厚でよいため、プロセスマージンを広くとることができ、製造が容易となる。

(c) サブスレショルドスウィングは完全空乏化型のSOIより大きい。外部電圧10、20による基板印加電圧を制御することにより、OFFリーク電流が低減するように閾値電圧を調整することができる。

(d) 外部電圧10、20との接続を、高濃度不純物拡散層5、15によって行うことができ、この高濃度不純物拡散層5、15は、隣接する複数のトランジスタ間で共通ウェル領域として形成することができるため、基板電圧を与えるために外部エリアをとる必要がなく、占有面積を縮小できる。また、トランジスタの設計配置はバルクCMOSと同等にすることができる。

(e) 表面チャネル4、14の直下の高濃度不純物拡散層5、15は抵抗が非常に低いため、RC遅延や、例えば、ゲート電圧が印可された際の表面チャネル4、14の電位の過渡的な現象を除去できる。

【0046】以下に、上記のSOI構造のMOSFETの特性について説明する。まず、上記のSOI構造のMOSFETは、必ずしも完全空乏化型ではないため、Sファクタを減少させることによるOFF電流の低減はできないが、表面シリコン層3における高濃度不純物拡散

層5により、MOSFETのON/OFF動作時における閾値電圧を制御することができる。

【0047】つまり、図4に示したように、上記SOI構造のMOSFETの $I_d-V_g$ 特性によれば、ゲート電極の $W/L=2\mu m/0.35\mu m$ 、 $V_{ds}=0.6V$ の場合、基板への印加電圧 $V_b$ を0Vにすると低い閾値電圧を得ることができ、基板コンタクトをオープンとすることにより、高い閾値電圧を得ることができる。よって、例えば、通常動作の間は、基板への印加電圧を調整することにより、MOSFETの閾値電圧を0.1V程度以下に低下させ、高い駆動能力を発揮させることができ、一方、OFF状態の間は、基板への印加電圧を調整することにより、MOSFETの閾値電圧を0.6V程度以上に増加させ、OFFリーク電流を減少させることができる。

【0048】ウェル抵抗 $R_w$ は、図3で示したように、ゲート下の高濃度領域5と素子分離膜下の高濃度領域5aの濃度を適切に調整することにより決定することができる。したがって、そのウェル抵抗 $R_w$ は、以下の基板電流の効果とAC過渡現象とを考慮して決定する。一般に、ウェル内に形成されたMOSFETとウェルコンタクト $C_w$ とが、図5(a)に示したように、距離 $S$ 離れている場合、ウェル抵抗 $R_w$ は、図5(b)及び(c)に示したように、基板電流 $I_{sub}$ によって引き起こされるオーミック的な電圧降下によるソース接合での順方向バイアスになるのを避けるため、以下の式に示すように、十分に低くしなければならない。

【0049】

【数5】

$$V_b + R_w \cdot I_{sub} < V_{jon} \approx 0.6V$$

【0050】ウェル抵抗 $R_w$ は、レイアウトとウェルの抵抗率に依存する。図6は、ウェルのシート抵抗を $300\Omega/\text{sqr.}$ 、 $10^3\Omega/\text{sqr.}$ 、 $3 \times 10^3\Omega/\text{sqr.}$ 及び $10^4\Omega/\text{sqr.}$ と変化した場合のウェル抵抗 $R_w$ とMOSFET-ウェルコンタクト間距離 $S$ との関係を示す。なお、ここでのMOSFETは、低電圧動作( $V_{dd} \sim 1V$ 程度)では、基板電流 $I_{sub}$ が $10nA/\mu m$ 程度以下と非常に小さいため、ゲート幅 $W$ が $10\mu m$ のMOSFETでは、基板電流 $I_{sub}$ が $100nA$ 程度以下となり、ウェル抵抗 $R_w$ は $10^6\Omega$ 以下となる。よって、例えば、ウェルのシート抵抗が $2000\Omega/\text{sqr.}$ 程度以下の低電圧動作のデバイスにも十分に適用できる。さらに、ウェルコンタクトに関するACの過渡的な効果を得るために、低いウェル抵抗 $R_w$ と低いウェル容量 $C_w$ が必要とされる。この条件は

【0051】

【数6】

$$\tau_w = \frac{R_w \cdot C_w}{2} \ll \tau$$

【0052】(ここで、 $\tau$ は、信号の立ち上がり時間を

示す)で示される。例えば、 $t_r$ が50psec程度以下のよう  
な高速の信号に対しては、 $R_w \cdot C_w < 100\text{psec}$   
となる。ウェル抵抗 $R_w$ が $2000\Omega$ 程度以下、 $C_w <$

$$R_w \cdot C_w \approx \frac{\epsilon_m \cdot \rho_w}{T_{box}} \cdot S^2 < 2 \cdot t_r$$

【0054】と表される。これらの関係は、ウェルの厚  
さとウェル抵抗とを見積もるガイドラインとしていられ  
る。一般に高速な動作回路に対し、 $R_w \cdot C_w$ 時定数  
は、ウェルコンタクトのデザインにより厳しい条件を賦  
す。

【0055】以下に、図1に示したNMOSFETの製  
造方法を説明する。まず、図7(a)に示したように、  
シリコン基板1上に、膜厚50nm~500nm程度の  
 $\text{SiO}_2$  からなる埋め込み絶縁膜2及び膜厚150nm  
~200nm程度の表面シリコン層3が積層されてなる  
SOI基板を用いる。なお、この表面シリコン層3に  
は、LOCOS法又はトレンチ法等によって、表面シリ  
コン層3よりも厚い膜厚を有する分離領域、各NMOS  
FETを分離するための素子分離領域が形成されている  
(図示せず)。

【0056】次いで、表面シリコン層3に、例えば、ボ  
ロンイオンを、 $30\text{keV}$ 、 $2 \times 10^{14}\text{atoms/cm}^2$  の  
ドーズでイオン注入し、次いで、 $900^\circ\text{C}$ 、60  
分間アニールすることによって、ボロンイオンが $10^{19}$   
 $\text{atoms/cm}^3$ 以上の濃度となるP型の高濃度不純  
物拡散層5を形成する。この高濃度不純物拡散層5は、  
トランジスタが低い配線抵抗及び低いコンタクト抵抗  
を持つために必要である。

【0057】次に、図7(b)に示したように、表面シリ  
コン層3表面に、膜厚10nm程度の酸化膜25を形  
成し、この酸化膜25を通して表面シリコン層3表面に  
Asイオン22を、 $20\text{keV}$ 、 $1 \times 10^{14}\text{atoms/cm}^2$  の  
ドーズで注入する。このAsイオン22は、  
高濃度不純物拡散層5の表面の不純物の一部をキャン  
セルして、結果的に $1 \times 10^{16} \sim 1 \times 10^{17}\text{atoms/cm}^3$   
程度の不純物濃度に設定されたp型の表面チャ  
ネル4を形成する。これにより、低電圧動作(ON状態)  
に対し閾値電圧が0.1Vとなるデバイスを得ることが  
できる。

【0058】続いて、図7(c)に示したように、表面  
シリコン層3上にゲート絶縁膜24を形成する。このゲ  
ート絶縁膜24の膜厚は、サブハーフミクロンのチャ  
ネル長のデバイスでは4nm~8nm程度である。ゲート  
絶縁膜24上に膜厚200nm程度のポリシリコン膜を  
形成し、フォトリソグラフィ及びエッチング技術により  
パターンニングして、ゲート電極11を形成する。次い  
で、ゲート電極11をマスクとして用いて、Asイオン  
23を表面シリコン層3に注入する。イオン注入は、 $3$   
 $20\text{keV}$ で、 $1 \times 10^{14}\text{atoms/cm}^2$ 程度のド

$< 5 \times 10^{-14}\text{F}$ の典型的な場合、

【0053】

【数7】

ーズで行うことにより、高濃度不純物拡散層5のうち、  
ソース/ドレイン領域6、7と埋め込み絶縁膜2との接  
合付近の不純物の一部をキャンセルして、結果的に $1 \times$   
 $10^{15} \sim 1 \times 10^{17}\text{atoms/cm}^3$ 程度の不純物濃  
度に設定されたp型の低濃度不純物拡散層8、9を形成  
する。また、リンを $40\text{keV}$ 、 $4 \times 10^{15}\text{atoms/cm}^2$   
程度のドーズでイオン注入することにより、高  
濃度不純物拡散層5のうち、表面シリコン層3の表面の  
不純物をキャンセルし、さらにその導電型を変換させ  
て、結果的に $1 \times 10^{20} \sim 1 \times 10^{21}\text{atoms/cm}^3$   
程度の不純物濃度に設定されたN型のソース/ドレ  
イン領域6、7を形成する。これにより、図1に示したよ  
うに、ソース/ドレイン領域6、7の直にP型の低濃度  
不純物拡散層8、9を形成することができる。

【0059】なお、上記工程は、PMOSFETと同時  
に行うことができる。また、基板接続及びコンタクトの  
形成は、一般のバルクCMOSプロセスと同様に行い、  
メタル配線で接続することにより半導体装置を完成す  
る。

#### 【0060】実施の形態2

この実施の形態のSOI構造のNMOSFETは、図8  
に示したように、N型のソース/ドレイン領域6、7直  
下の表面シリコン層3aに、表面チャネル4と同等の不  
純物濃度に設定されたP型の不純物拡散層8a、9aが  
形成されている以外は、実施の形態1のSOI構造のN  
MOSFETと同様である。

【0061】図8のSOI構造のNMOSFETの製造  
方法を説明する。まず、実施の形態1と同様のSOI基  
板を用い、表面シリコン層3にP型の高濃度不純物拡  
散層5を形成する。

【0062】その後、図9に示したように、表面シリ  
コン層3の表面に、ゲート絶縁膜24、ゲート電極11を  
形成する。次いで、ゲート電極11をマスクとして用い  
て、ゲート電極11直下の表面シリコン層3の表面と埋  
め込み絶縁膜2との接合付近とに、同時にリンイオン2  
5を注入する。この際のイオン注入は、 $150\text{keV}$   
で、 $1 \times 10^{14}\text{atoms/cm}^2$ のドーズで行うこと  
により、高濃度不純物拡散層5のうち、表面チャネル4  
及び表面シリコン層3と埋め込み絶縁膜2との接合付  
近の不純物の一部をキャンセルして、結果的に $1 \times 10^{17}$   
 $\text{atoms/cm}^3$ 程度の不純物濃度に設定されたp型  
の表面チャネル4及び不純物拡散層8a、9aを形成す  
る。また、リンを $40\text{keV}$ 、 $4 \times 10^{15}\text{atoms/cm}^2$   
のドーズでイオン注入することにより、高濃度不

純物拡散層5のうち、表面シリコン層3aの表面の不純物をキャンセルし、さらにその導電型を変換させて、結果的に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ 程度の不純物濃度に設定されたN型のソース/ドレイン領域6、7を形成する。

【0063】これにより、実施の形態1の製造方法よりも製造工程を減らしながら、図1に示したSOI構造のMOSFETと同様に、ソース/ドレイン領域6、7の直下にP型の不純物拡散層8a、9aを形成することができるとともに、不純物拡散層8a、9aとほぼ同程度の不純物濃度を有する表面チャネル4を形成することができる。

【0064】

【発明の効果】本発明によれば、埋め込み絶縁膜及び第1導電型の表面半導体層が積層されてなるSOI基板と、前記表面半導体層に形成された第2導電型ソース/ドレイン領域と、該ソース/ドレイン領域間の第1導電型チャネル領域上にゲート絶縁膜を介して形成されたゲート電極とからなり、前記ソース/ドレイン領域が、前記表面半導体層の厚さよりも薄く形成されており、前記チャネル領域が、前記埋め込み絶縁膜近傍においてその表面領域よりも第1導電型不純物濃度が高く設定された第1導電型高濃度不純物拡散層を有しているため、表面チャネルの直下の高濃度不純物拡散層は抵抗が非常に低いため、RC遅延や、例えば、ゲート電圧が印加された際の表面チャネル4、14の電位の過渡的な現象を除去できる。しかも、本発明によれば、表面半導体層を比較的厚膜で形成することができるためプロセスマージンを広くとることができ、製造が容易となる。

【0065】また、チャネル領域が電源に接続されてなる場合には、外部電圧によりチャネル領域の印加電圧を制御することができ、よって、オン時には半導体装置の駆動能力を向上させて低電圧動作を実現することができるとともに、オフ時にはオフリーク電流が低減するように閾値電圧を調整することができる。さらに、ソース/ドレイン領域と埋め込み絶縁膜との間の表面半導体層が完全に空乏化している場合には、ソース/ドレイン領域の接合容量を低減することが可能となる。

【0066】また、チャネル領域が、素子分離領域直下に形成された高濃度不純物拡散層を介して互いに隣接するチャネル領域と接続され、かつ1ヶ所で電源に接続されている場合には、基板電圧を与えてポテンシャルを制御したり、半導体装置の閾値を制御するため外部エリアをわざわざとる必要がなく、占有面積を縮小できる。また、トランジスタの設計配置はバルクCMOSと同等に

することができ、より高集積化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明のSOI構造の半導体装置の実施例を示す要部の概略断面図である。

【図2】図1の半導体装置のチャネル領域の深さ方向の不純物濃度のプロファイルを示す図である。

【図3】本発明のSOI構造の半導体装置がCMOSを構成する場合の実施例を示す要部の概略断面図である。

【図4】本発明のSOI構造の半導体装置の特性を説明するためのId-Vg曲線を示す図である。

【図5】本発明のSOI構造の半導体装置の特性を説明するためMOSFETの平面図(a)、断面図(b)及び回路図(c)である。

【図6】本発明のSOI構造の半導体装置の特性を説明するためのウェル抵抗とウェルコンタクト-MOSFET間距離との関係を示す図である。

【図7】本発明のSOI構造の半導体装置の製造工程を説明するための要部の概略断面製造工程図である。

【図8】本発明のSOI構造の半導体装置の別の実施例を示す要部の概略断面図である。

【図9】図8の半導体装置の製造工程を説明するための要部の概略断面図である。

【図10】従来のSOI構造の半導体装置を示す要部の概略断面図である。

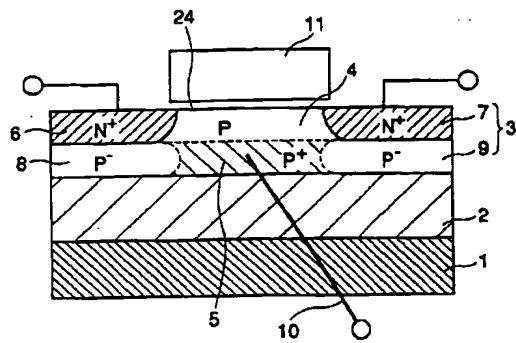
【図11】従来の別の半導体装置を示す要部の概略断面図である。

【図12】従来のさらに別のSOI構造の半導体装置を示す要部の概略断面図である。

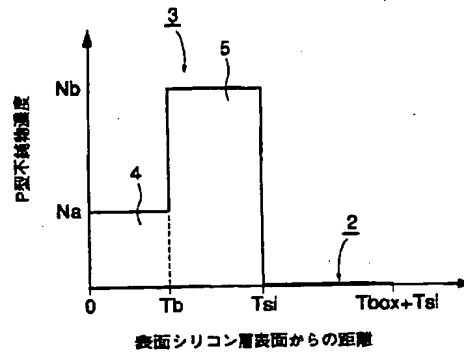
【符号の説明】

- 1 シリコン基板
- 2 埋め込み絶縁膜
- 3、3a 表面シリコン層(表面半導体層)
- 4、14 表面チャネル
- 5、15、5a、15a 高濃度不純物拡散層
- 6、7、16、17 ソース/ドレイン領域
- 8、9、18、19 低濃度不純物拡散層
- 8a、9a 不純物拡散層
- 10、20 外部電圧
- 11、21 ゲート電極
- 12 素子分離領域
- 13 分離領域
- 22、23 Asイオン
- 24 ゲート絶縁膜
- 25 酸化膜

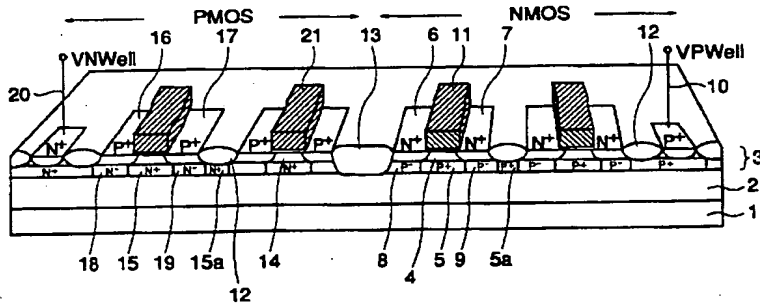
【図1】



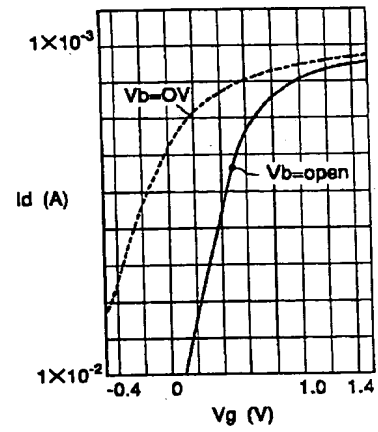
【図2】



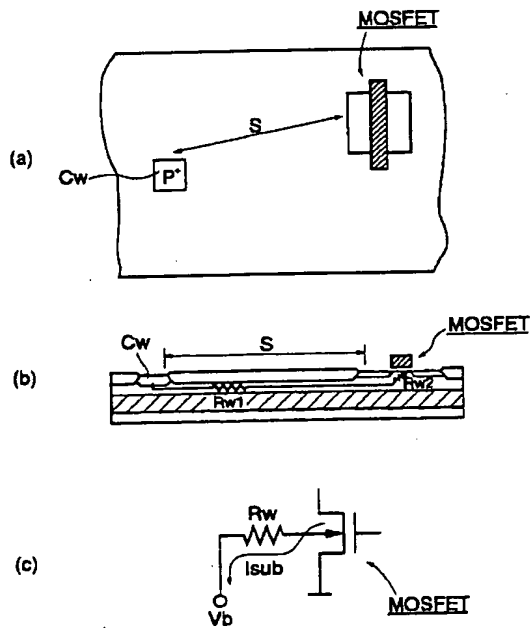
【図3】



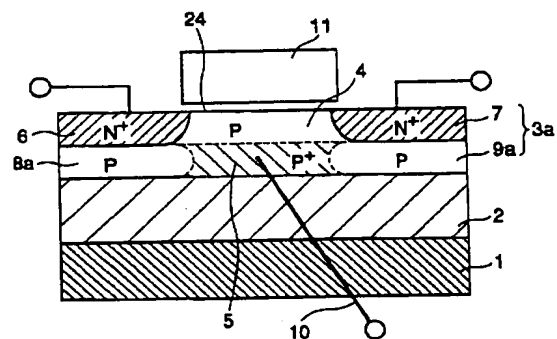
【図4】



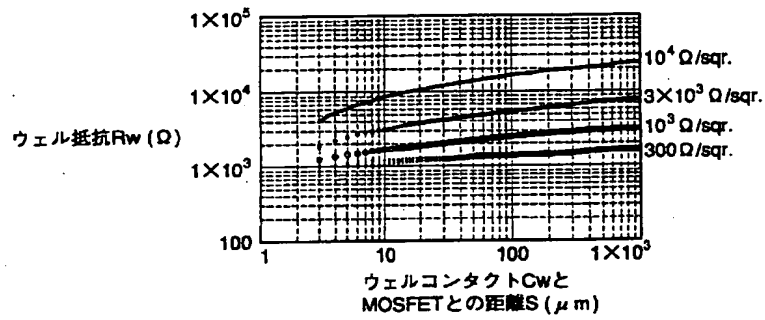
【図5】



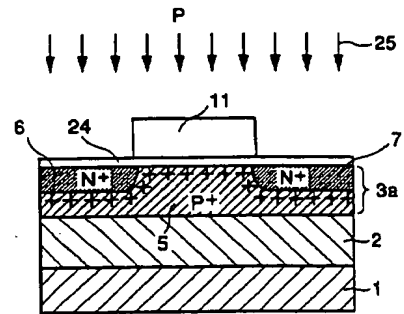
【図8】



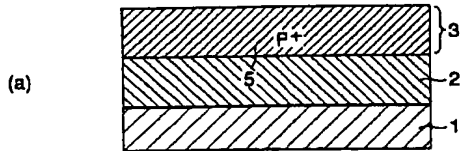
【図6】



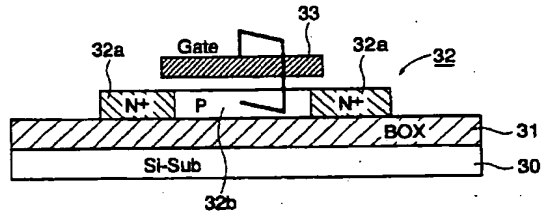
【図9】



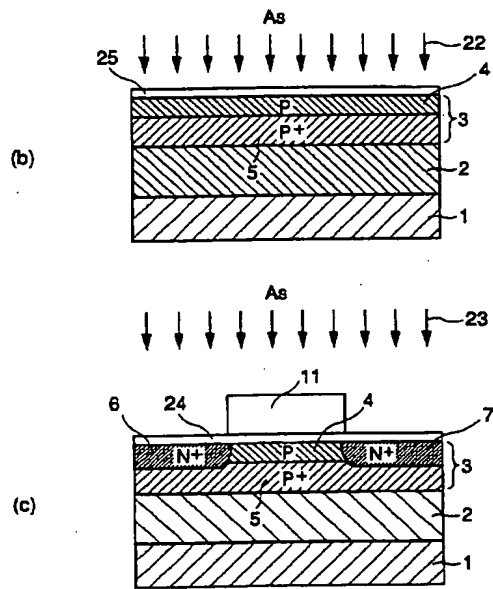
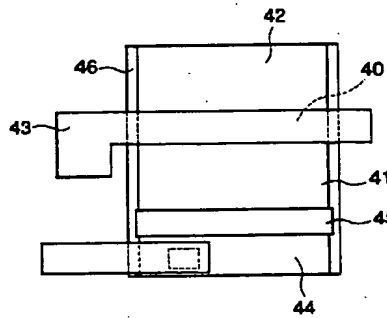
【図7】



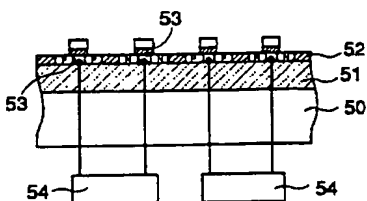
【図10】



【図11】



【図12】



フロントページの続き

Fターム(参考) 5F040 DA06 DA27 DB03 DC01 DC03  
EB12 EC07 EC12 EC13 EE05  
EF02 EK01 EK03 EK05 FA03  
FB02  
5F048 AC03 BA09 BA15 BB05 BB08  
BB09 BG01 BG07 BG12 BG15  
5F110 AA01 AA06 AA08 AA09 AA30  
BB04 CC02 DD01 DD03 DD04  
DD05 DD13 DD14 DD22 EE01  
EE04 EE05 EE09 EE31 GG02  
GG03 GG04 GG32 GG37 GG52  
GG58 HJ01 HJ04 HJ06 HJ13  
HM15 NN62 NN66 QQ11